



28582
PATENTS 9-9-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants:	Hideharu Ozaki	Examiner:	Unassigned
Serial No:	10/063,472	Art Unit:	Unassigned
Filed:	April 26, 2002	Docket:	15483
For:	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DEVICE FOR TESTING SAME		Dated: May 9, 2002

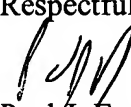
Assistant Commissioner for Patents
United States Patent and Trademark Office
Washington, D.C. 20231

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2001-229629 filed July 30, 2001.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

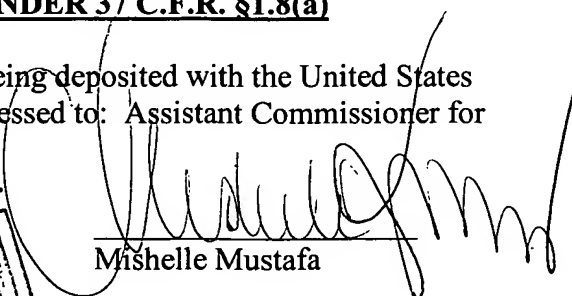
Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

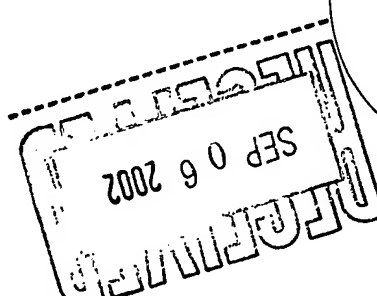
RECEIVED
MAY 20 2002
TECHNOLOGY CENTER 2800

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, DC 20231 on May 9, 2002.

Dated: May 9, 2002


Mishelle Mustafa





日本国特許庁
JAPAN PATENT OFFICE

NEC02P026

⑨

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 7月30日

出願番号

Application Number:

特願2001-229629

[ST.10/C]:

[JP2001-229629]

出願人

Applicant(s):

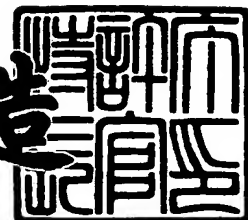
日本電気株式会社

RECEIVED
MAY 20 2002
TECHNOLOGY CENTER 2800

2002年 2月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3008586

【書類名】 特許願

【整理番号】 74510245

【提出日】 平成13年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 尾崎 英晴

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

 【氏名又は名称】 石橋 政幸

【手数料の表示】

 【予納台帳番号】 089681

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその試験装置

【特許請求の範囲】

【請求項 1】 スキャンパス法により試験を行うためのスキャンパステスト回路を備え、該スキャンパステスト回路を利用してディレイテストが実施される半導体集積回路装置であって、

外部から入力される前記ディレイテスト用のテストクロックから、該テストクロックの周期と等しいパルス間隔の 2 つのパルスを生成し、前記スキャンパステスト回路に供給する 2 パルス発生器を備えた半導体集積回路装置。

【請求項 2】 前記テストクロックの周波数を所定数倍し、前記 2 パルス発生器に供給する PLL 回路を有する請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記 2 パルス発生器は、

前記テストクロックから 2 つのパルスを取り出すためのゲート信号を生成するゲート信号生成回路と、

前記ゲート信号にしたがって前記テストクロックのうちの 2 つのパルスを出力するラッチゲート回路と、

を有する請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 予め半導体集積回路装置に設けられた、スキャンパス法により試験を行うためのスキャンパステスト回路を利用してディレイテストを行うための半導体集積回路装置の試験装置であって、

被試験対象の半導体集積回路装置が着脱可能に搭載されるテストボードと、

前記ディレイテスト用のテストクロックから、該テストクロックの周期と等しいパルス間隔の 2 つのパルスを生成し、前記スキャンパステスト回路に供給する、前記テストボード上に搭載される 2 パルス発生器と、

を有する半導体集積回路装置の試験装置。

【請求項 5】 前記テストクロックの周波数を所定数倍し、前記 2 パルス発生器に供給する、前記テストボード上に搭載される PLL 回路を有する請求項 4 記載の半導体集積回路装置の試験装置。

【請求項 6】 前記テストクロックを出力するクロック発信器を有する請求

項 4 または 5 記載の半導体集積回路装置の試験装置。

【請求項 7】 前記 2 パルス発生器は、

前記テストクロックから 2 つのパルスを取り出すためのゲート信号を生成するゲート信号生成回路と、

前記ゲート信号にしたがって前記テストクロックのうちの 2 つのパルスを出力するラッチゲート回路と、

を有する請求項 4 乃至 6 のいずれか 1 項記載の半導体集積回路装置。

【請求項 8】 前記テストクロックを測定容易な周波数まで分周する、前記テストボード上に搭載される分周回路を有する請求項 4 乃至 7 のいずれか 1 項記載の半導体集積回路装置の試験装置。

【請求項 9】 請求項 1 乃至 3 のいずれか 1 項記載の半導体集積回路装置が着脱可能に搭載されるテストボードと、

前記テストボード上に搭載される、前記テストクロックを出力するクロック発信器と、

を有する半導体集積回路装置の試験装置。

【請求項 10】 前記テストクロックの周波数を所定数倍し、前記半導体集積回路装置に供給する、前記テストボード上に搭載される第 2 の PLL 回路を有する請求項 9 記載の半導体集積回路装置の試験装置。

【請求項 11】 前記テストクロックを測定容易な周波数まで分周する、前記テストボード上に搭載される分周回路を有する請求項 9 または 10 記載の半導体集積回路装置の試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置及びその試験装置に関し、特にスキャンバステスト回路を利用したディレイテストに好適な半導体集積回路装置及びその試験装置に関する。

【0002】

【従来の技術】

近年の半導体集積回路装置（以下、L S I と称す）は、大規模化、高密度化に伴って、何らかの試験容易化設計を施さないチップの試験や故障診断が不可能になってきている。試験容易化の手法としては、例えば、回路内の各フリップフロップを鎖状に連結してシフトレジスタとしても動作するように設計しておき、試験時にこのシフト機能を利用して外部から各フリップフロップの値を任意に制御・観測できようにするスキャンパス法が知られている。

【 0 0 0 3 】

スキャンパス法を用いて L S I を試験するためには、L S I 内に通常動作時及び試験時にそれぞれ用いられるフリップフロップである複数のスキャン用フリップフロップを設け、それらの試験用の入出力端子を直列に接続（縦続接続）することで上述したシフトレジスタを形成する。

【 0 0 0 4 】

スキャン用フリップフロップは、通常のフリップフロップとして動作する通常動作機能の他に、試験用のパターン信号であるスキャンイン信号 S I N をデータ入力とし、試験用のクロックであるスキャンクロック S C によりフリップフロップとして動作するスキャン動作機能を備えた回路である。

【 0 0 0 5 】

通常、スキャンパス法は、複数の縦続接続されたスキャン用フリップフロップからなるスキャンパステスト回路に上述した試験用のパターン信号であるスキャンイン信号 S I N を入力し、各スキャン用フリップフロップを目的の値に設定した後、通常に動作させ、通常動作後の各スキャン用フリップフロップの出力値（スキャンアウト信号 S O U T）を観測することで L S I の論理動作が正常であるか否かを確認する。

【 0 0 0 6 】

一方、近年の L S I は、上記大規模化、高密度化だけでなく、高速化も進んでいるため、論理が正常であるか否かを確認するだけでなく、製品仕様として規定されたクロック周波数でも正常に動作するか否かを確認する必要がある。

【 0 0 0 7 】

そこで、従来の L S I の試験方法では、図 8（a）に示すように、上記スキヤ

ンパス法と同様にスキャン用フリップフロップ（スキャン用F／F）を鎖状に連結し、図8（b）に示すように、所定のパス（P a t h）に対して、製品仕様により規定されたクロック（例えば、1 0 0 M H z 以上）の周期に相当するパルス間隔（図8の“s p e c”）を有する2つのパルスを試験装置からクロック（図8のc l o c k A、c l o c k B）として入力する。そして、任意の2つのスキャン用フリップフロップの出力値をそれぞれ観測し、論理回路等の素子の遅延（D e l a y）による誤動作が起きるか否かを確認するディレイテストが実施されている。

【0 0 0 8】

【発明が解決しようとする課題】

上述したように従来のL S I の試験方法では、ディレイテスト用の2つのパルスをL S I テスターで発生し、そのパルスを直接L S I 内のスキャンパステスト回路に供給している。

【0 0 0 9】

このような場合、ディレイテスト可能な周波数が、L S I テスターが有する、2つのパルスを出力するためのドライバ回路の性能に依存するため、高価なL S I テスターでなければ高速動作するL S I のディレイテストができないという問題がある。特に、近年のL S I は内部動作クロックが数百M H z にも達するため、このようなL S I のディレイテストを実施するためには非常に高価なL S I テスターが必要になる。

【0 0 1 0】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、スキャンパス用のテスト回路を利用したディレイテストを安価に実施することが可能な半導体集積回路装置及びその試験装置を提供することを目的とする。

【0 0 1 1】

【課題を解決するための手段】

上記目的を達成するため本発明の半導体集積回路装置は、スキャンパス法により試験を行うためのスキャンパステスト回路を備え、該スキャンパステスト回路

を利用してディレイテストが実施される半導体集積回路装置であって、

外部から入力される前記ディレイテスト用のテストクロックから、該テストクロックの周期と等しいパルス間隔の2つのパルスを生成し、前記スキャンパステスト回路に供給する2パルス発生器を備えた構成である。

【0012】

このとき、前記テストクロックの周波数を所定数倍し、前記2パルス発生器に供給するPLL回路を有していてもよく、

前記2パルス発生器は、

前記テストクロックから2つのパルスを取り出すためのゲート信号を生成するゲート信号生成回路と、

前記ゲート信号にしたがって前記テストクロックのうちの2つのパルスを出力するラッチゲート回路と、

を有する構成であつてもよい。

【0013】

一方、本発明の半導体集積回路装置の試験装置は、予め半導体集積回路装置に設けられた、スキャンパス法により試験を行うためのスキャンパステスト回路を利用してディレイテストを行うための半導体集積回路装置の試験装置であって、

被試験対象の半導体集積回路装置が着脱可能に搭載されるテストボードと、

前記ディレイテスト用のテストクロックから、該テストクロックの周期と等しいパルス間隔の2つのパルスを生成し、前記スキャンパステスト回路に供給する、前記テストボード上に搭載される2パルス発生器と、

を有する構成である。

【0014】

このとき、前記テストクロックの周波数を所定数倍し、前記2パルス発生器に供給する、前記テストボード上に搭載されるPLL回路を有していてもよく、

前記テストクロックを出力するクロック発信器を有していてもよい。

【0015】

また、前記2パルス発生器は、

前記テストクロックから2つのパルスを取り出すためのゲート信号を生成する

ゲート信号生成回路と、

前記ゲート信号にしたがって前記テストクロックのうちの2つのパルスを出力するラッチゲート回路と、

を有していてもよい。

【0016】

さらに、前記テストクロックを測定容易な周波数まで分周する、前記テストボード上に搭載される分周回路を有していてもよい。

【0017】

本発明の半導体集積回路装置の試験装置の他の構成は、上記記載の半導体集積回路装置が着脱可能に搭載されるテストボードと、

前記テストボード上に搭載される、前記テストクロックを出力するクロック発信器と、

を有する構成である。

【0018】

このとき、前記テストクロックの周波数を所定数倍し、前記半導体集積回路装置に供給する、前記テストボード上に搭載される第2のPLL回路を有していてもよく、

前記テストクロックを測定容易な周波数まで分周する、前記テストボード上に搭載される分周回路を有していてもよい。

【0019】

上記のように構成された半導体集積回路装置及びその試験装置では、テストボードあるいは半導体集積回路装置内に、テストクロックの周期と等しいパルス間隔の2つのパルスを生成し、スキャンパステスト回路に供給する2パルス発生器を有することで、安価な回路構成でスキャンパステスト回路を利用したディレイテストを実施できる。

【0020】

また、テストクロックの周波数を所定数倍し、2パルス発生器に供給するPLL回路を有することで、2パルス発生器に供給するテストクロックの周波数を低くすることができる。

【 0 0 2 1 】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【 0 0 2 2 】

(第 1 の実施の形態)

図 1 は本発明の半導体集積回路装置の試験装置の第 1 の実施の形態の構成を示すブロック図である。また、図 2 は図 1 に示した 2 パルス発生器の一構成例を示す回路図であり、図 3 は図 2 に示した 2 パルス発生器の動作を示すタイミングチャートである。

【 0 0 2 3 】

図 1 に示すように、本実施形態の半導体集積回路装置の試験装置は、被試験対象の L S I 2 が着脱可能に搭載されるテストボード 1 と、被試験対象の L S I 2 に供給するディレイテスト用の 2 つのパルスを生成する、テストボード 1 上に搭載された 2 パルス発生器 3 と、2 パルス発生器 3 を所定のタイミングで動作させるためのテストクロックを生成する、テストボード 1 上に搭載されたクロック発信器 4 とを有する構成である。

【 0 0 2 4 】

クロック発信器 4 はディレイテストで用いる周波数のテストクロックを発信する。また、2 パルス発生器 3 は、外部から入力されるコントロールパルスのタイミングでテストクロックから 2 つのパルスを取り出し、被試験対象の L S I 2 が有するスキャンパステスト回路 5 に供給する。

【 0 0 2 5 】

なお、2 パルス発生器 3 には、必ずしもクロック発信器 4 からテストクロックを供給する必要は無く、例えば、汎用の発振器やテスター等から所定周波数のテストクロックを供給するようにしてもよい。

【 0 0 2 6 】

図 2 に示すように、2 パルス発生器 3 は、所定のパルス幅のゲート信号 G T にしたがってテストクロックから 2 つのパルスを出力するラッチゲート回路 1 0 0 と、該ゲート信号を生成するゲート信号生成回路 2 0 0 とを有する構成である。

【0027】

ゲート信号生成回路200は、テストクロックを分周する分周回路201と、分周回路201をコントロールパルスの入力から所定数のパルス計数後に動作させるための制御回路202と、分周回路201内の所定の信号から上記ゲート信号を生成する論理ゲート回路203とを有する構成である。

【0028】

分周回路201はテストクロックの立ち上がり及び立ち下がりに同期にして入力信号をシフトする直列接続された複数のフリップフロップF/Fを備え、論理ゲート回路203は分周回路201のフリップフロップF/Fの出力パルスのうち、所定の2つのパルスの論理積を求めることでゲート信号を生成する。

【0029】

制御回路202は、テストクロックの立ち上がり及び立ち下がりに同期にしてコントロールパルスをシフトする直列接続された複数のフリップフロップF/Fを備え、コントロールパルスの入力から所定数のパルス計数後に分周回路201のフリップフロップF/Fの出力パルスを入力側に帰還させる。

【0030】

なお、図2では、分周回路201及び制御回路202として、入力信号をシフトするための8つのフリップフロップF/Fをそれぞれ備えた構成を示している。ゲート信号生成回路200は、図2に示した回路構成に限定されるものではなく、テストクロックのうちの2つのパルスをラッチゲート回路100から出力させるためのゲート信号GTが得られれば、どのような構成であってもよい。

【0031】

図3に示すように、2パルス発生器3にコントロールパルスが入力されると、コントロールパルスの入力から所定数だけテストクロックが計数された後、分周回路201が動作を開始してゲート信号GTが生成される。ラッチゲート回路100は、ゲート信号GTが“H”の期間だけテストクロックを通過させ、2つのパルスからなるディレイテスト用のクロックを出力する。

【0032】

このような2パルス発生器3を、被試験対象のLSI2が搭載されるテストボ

ード1に備えることで、安価な回路構成でスキャンパステスト回路を利用したディレイテストを実施することができる。

【0033】

(第2の実施の形態)

図4は本発明の半導体集積回路装置の試験装置の第2の実施の形態の構成を示すブロック図である。

【0034】

図4に示すように、本実施形態のLSIの試験装置は、第1の実施の形態と同様構成の2パルス発生器13を被試験対象のLSI12内に設けた構成である。クロック発信器14の構成は第1の実施の形態と同様であるため、その説明は省略する。

【0035】

本実施形態のように2パルス発生器13をLSI12内に設けることで、クロック発信器14、あるいは汎用の発振器やLSIテスター等からテストボードに所定周波数のテストクロックを供給するだけでディレイテストを実施することができる。

【0036】

(第3の実施の形態)

図5は本発明の半導体集積回路装置の試験装置の第3の実施の形態の構成を示すブロック図である。

【0037】

図5に示すように、本実施形態のLSIの試験装置は、クロック発信器24から出力されたテストクロックの周波数を所定数倍し、2パルス発生器23に供給するPLL (Phase-Locked Loop) 回路26を第1の実施の形態と同様構成のテストボード21上に追加した構成である。なお、PLL回路26は、周知の位相比較器、VCO (voltage controlled oscillator)、ループフィルタ、及び分周器等を用いて構成すればよい。2パルス発生器23及びクロック発信器24の構成は第1の実施の形態と同様であるため、その説明は省略する。

【0038】

本実施形態のように、クロック発信器 2 4 から出力されたテストクロックの周波数を P L L 回路 2 6 により所定数倍にすることで、クロック発信器 2 4 で生成するテストクロックの周波数を低くすることができる。したがって、クロック発信器 2 4 を安価に構成することができる。また、クロック発信器 2 4 の代わりに汎用の発振器やテスター等を用いる場合でも安価な装置を用いることができる。

【 0 0 3 9 】

(第 4 の実施の形態)

図 6 は本発明の半導体集積回路装置の試験装置の第 4 の実施の形態の構成を示すブロック図である。

【 0 0 4 0 】

図 6 に示すように、本実施形態の L S I の試験装置は、第 3 の実施の形態と同様構成の P L L 回路 3 6 及び 2 パルス発生器 3 3 を被試験対象の L S I 3 2 内にそれぞれ設けた構成である。クロック発信器 3 4 の構成は第 1 の実施の形態と同様であるため、その説明は省略する。

【 0 0 4 1 】

通常、L S I の入力端子にはインダクタンス成分やキャパシタンス成分が在るために、正常に入力できるクロック周波数が 2 0 0 M H z 程度以下に制限されてしまう。本実施形態のように、P L L 回路 3 6 及び 2 パルス発生器 3 3 を被試験対象の L S I 3 2 内にそれぞれ設けることで、L S I 3 2 の入力端子に高速のクロックを入力しなくても L S I 3 2 内部で高速なテストクロックが生成されるため、より高速に動作する L S I のディレイテストが可能になる。また、L S I の入力端子に高速のクロックを入力することによる誤動作が防止されるため、高速動作する L S I のディレイテストを誤動作無く確実に実施することができる。

【 0 0 4 2 】

(第 5 の実施の形態)

図 7 は本発明の半導体集積回路装置の試験装置の第 5 の実施の形態の構成を示すブロック図である。

【 0 0 4 3 】

図 7 に示すように、本実施形態の L S I の試験装置は、第 4 の実施の形態で示

した L S I が搭載されるテストボード 4 1 にクロック発信器 4 4 から出力されたテストクロックの周波数を所定数倍し、2 パルス発生器に供給する P L L 回路 4 7 をさらに追加した構成である。

【 0 0 4 4 】

2 パルス発生器及びクロック発信器 4 4 の構成は第 1 の実施の形態と同様であるため、その説明は省略する。

【 0 0 4 5 】

本実施形態のように、クロック発信器 4 4 から出力されたテストクロックの周波数をテストボード 4 1 に搭載された P L L 回路 4 7 により所定数倍し、さらに、被試験対象の L S I 4 2 内に設けられた P L L 回路 4 6 により所定数倍にすることで、クロック発信器 4 4 で生成するテストクロックの周波数をさらに低くすることができる。したがって、クロック発信器 4 4 をより安価に構成することができる。また、クロック発信器 4 4 の代わりに汎用の発振器やテスター等を用いる場合でもより安価な装置を用いることができる。

【 0 0 4 6 】

なお、上記第 1 の実施の形態～第 5 の実施の形態で示したクロック発信器または P L L 回路から出力されるテストクロックの周波数を確認するため、テストボードには該テストクロックを分周するための分周回路を備えていてもよい。その場合、分周回路から出力されたクロックの周波数を周知の周波数カウンタを用いて測定すればよい。

【 0 0 4 7 】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【 0 0 4 8 】

テストボードあるいは半導体集積回路装置内に、テストクロックの周期と等しいパルス間隔の 2 つのパルスを生成し、スキャンパステスト回路に供給する 2 パルス発生器を有することで、安価な回路構成でスキャンパステスト回路を利用したディレイテストを実施できる。

【 0 0 4 9 】

また、テストクロックの周波数を所定数倍し、2パルス発生器に供給するPLL回路を有することで、2パルス発生器に供給するテストクロックの周波数を低くすることができる。したがって、クロック発信器を安価に構成することができる。

【 0 0 5 0 】

特に、2パルス発生器及びPLL回路を半導体集積回路装置内に備えることで、LSIの入力端子に高速のクロックを入力しなくても半導体集積回路装置内部で高速なテストクロックが生成される。よって、より高速に動作する半導体集積回路装置のディレイテストが可能になる。また、半導体集積回路装置の入力端子に高速のクロックを入力することによる誤動作が防止されるため、高速動作する半導体集積回路装置のディレイテストを誤動作無く確実に実施することができる。

【図面の簡単な説明】

【図 1】

本発明の半導体集積回路装置の試験装置の第1の実施の形態の構成を示すブロック図である。

【図 2】

図1に示した2パルス発生器の一構成例を示す回路図である。

【図 3】

図2に示した2パルス発生器の動作を示すタイミングチャートである。

【図 4】

本発明の半導体集積回路装置の試験装置の第2の実施の形態の構成を示すブロック図である。

【図 5】

本発明の半導体集積回路装置の試験装置の第3の実施の形態の構成を示すブロック図である。

【図 6】

本発明の半導体集積回路装置の試験装置の第4の実施の形態の構成を示すプロ

ック図である。

【図 7】

本発明の半導体集積回路装置の試験装置の第 5 の実施の形態の構成を示すブロック図である。

【図 8】

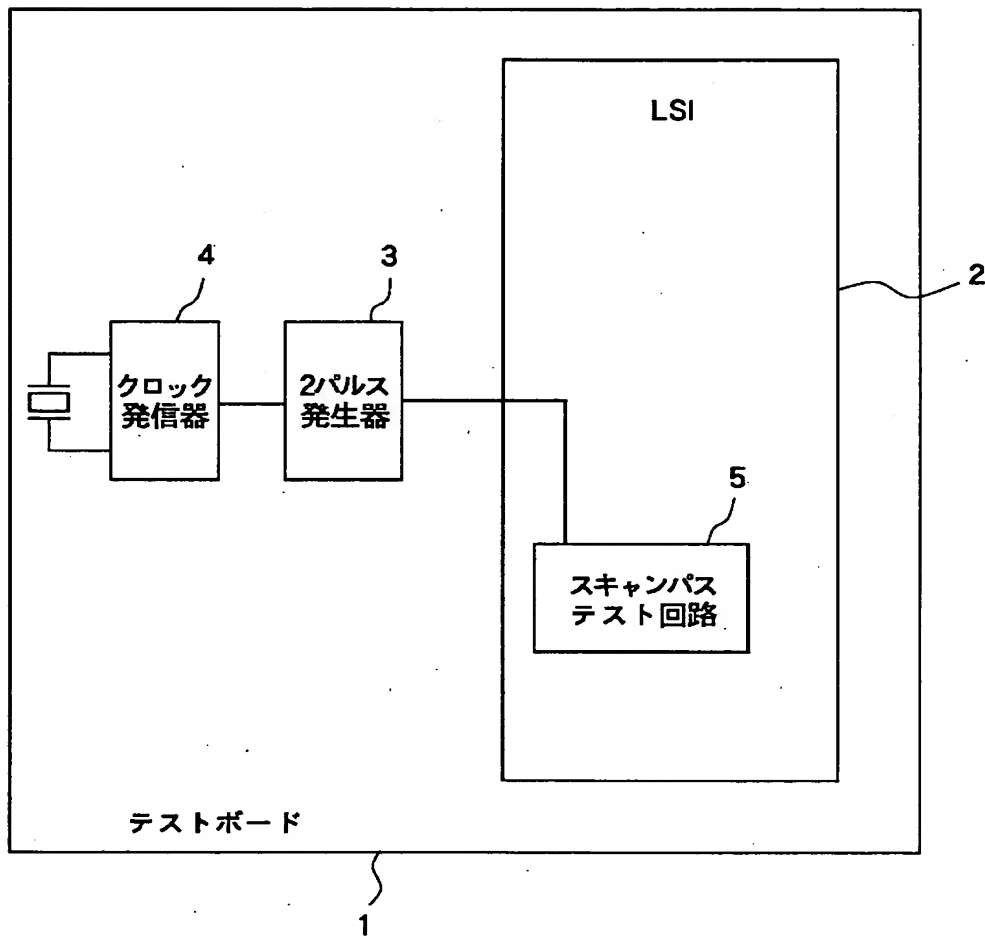
従来の半導体集積回路装置の試験方法を説明する図であり、同図（a）はスキャンパステスト回路の構成を示すブロック図、同図（b）はスキャンパステスト回路を利用したディレイテストの動作を示すタイミングチャートである。

【符号の説明】

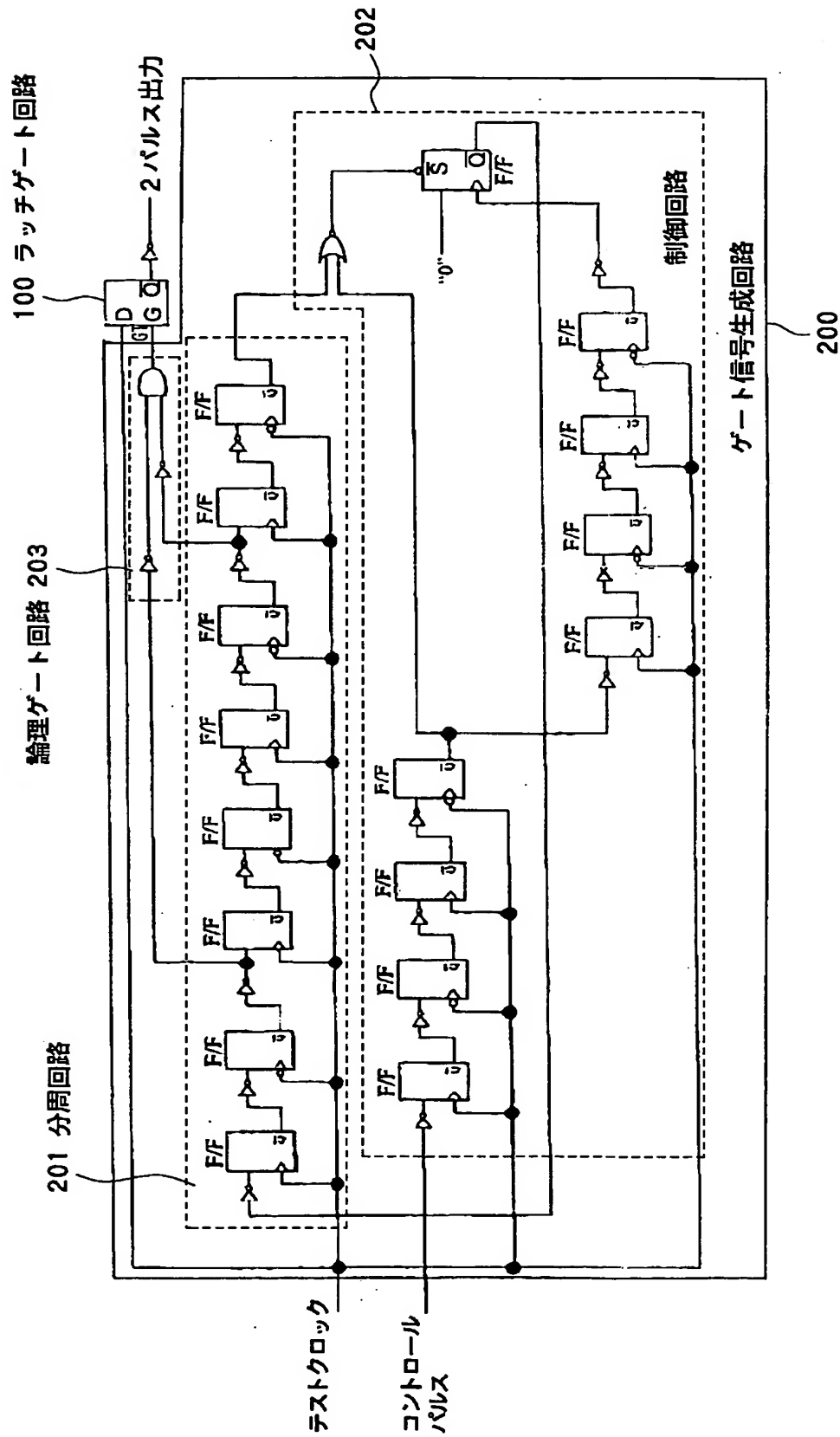
- 1、21、41 テストボード
- 2、12、42 L S I
- 3、13、23、33 2 パルス発生器
- 4、14、24、34、44 クロック発信器
- 5 スキャンパステスト回路
- 26、36、46、47 P L L 回路

【書類名】 図面

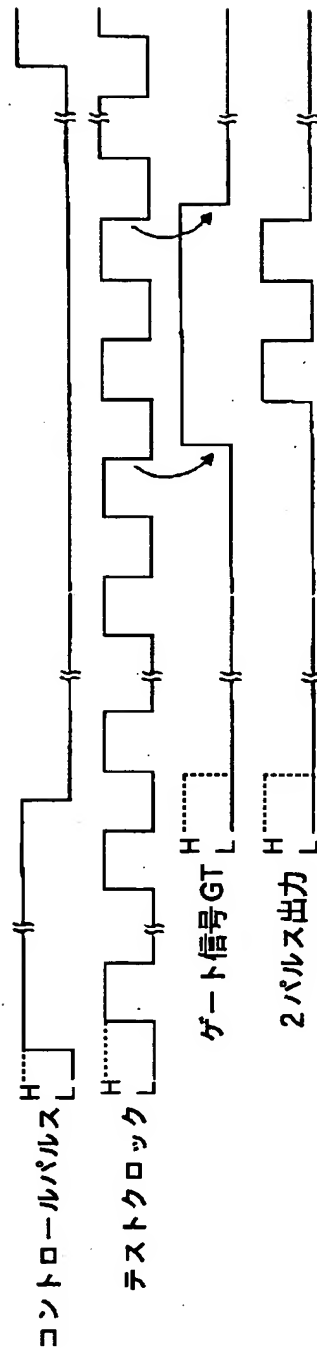
【図 1】



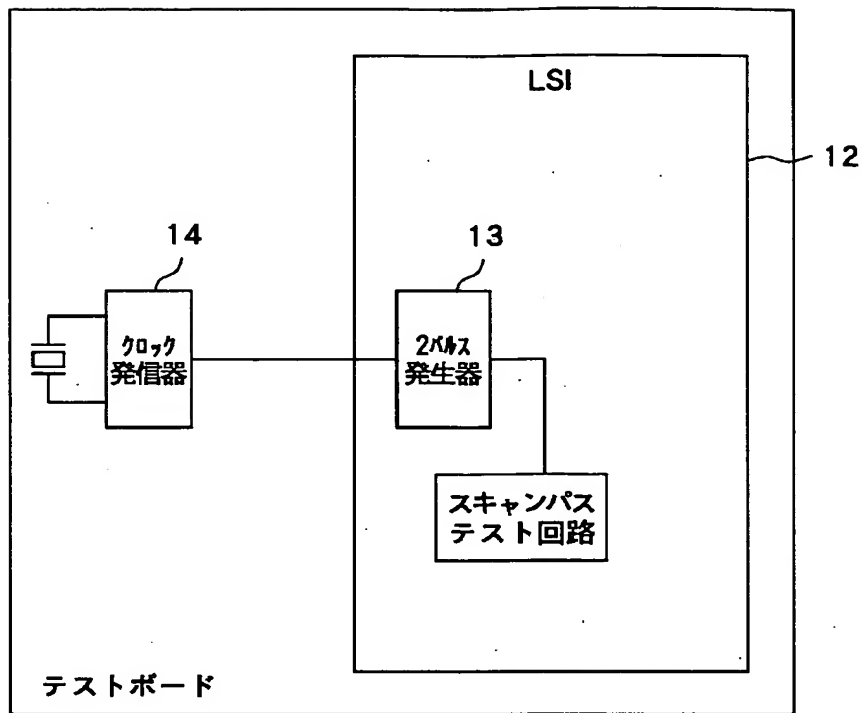
【図 2】



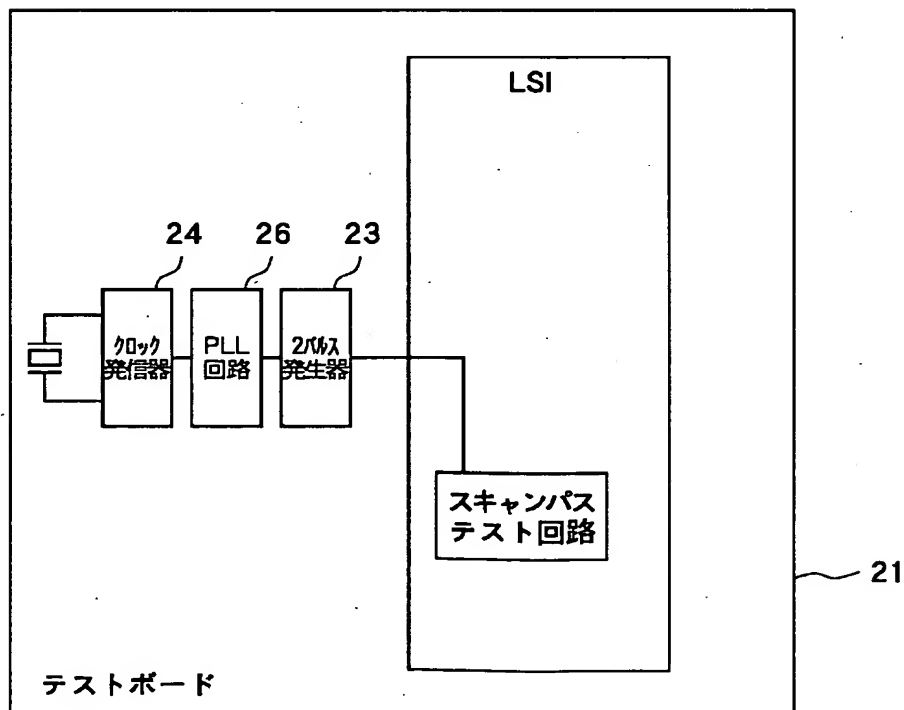
【図 3】



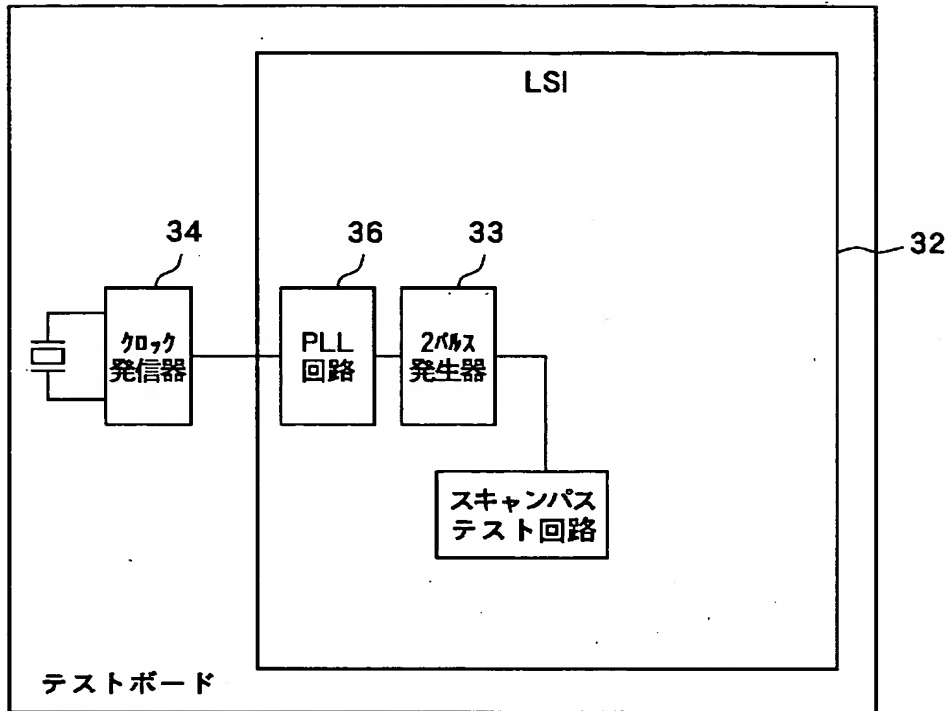
【図 4】



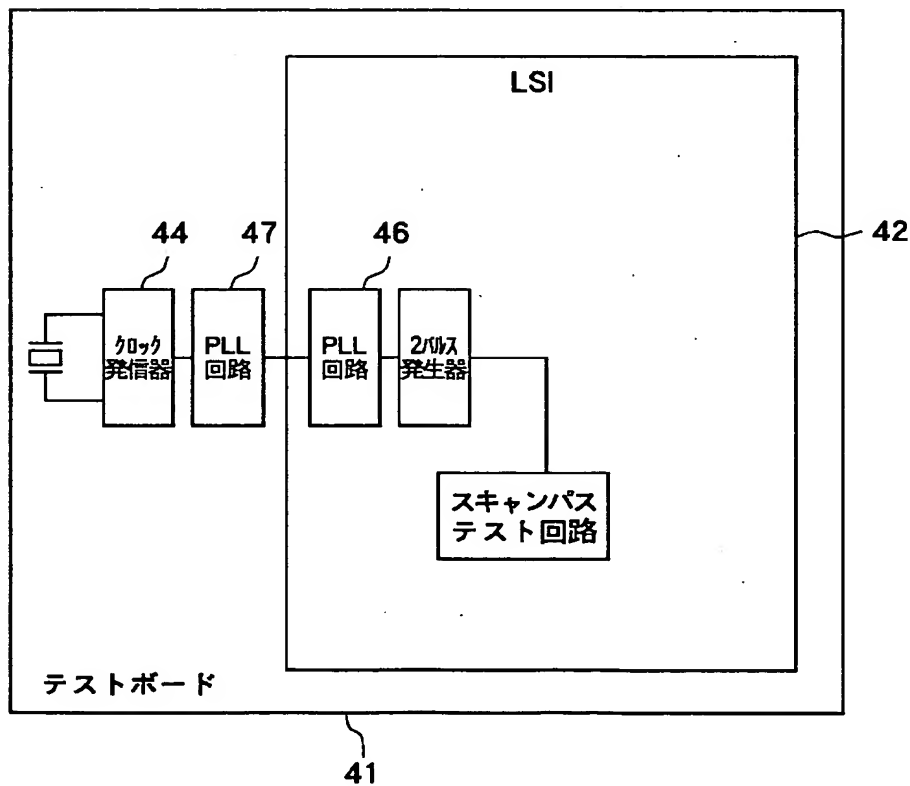
【図 5】



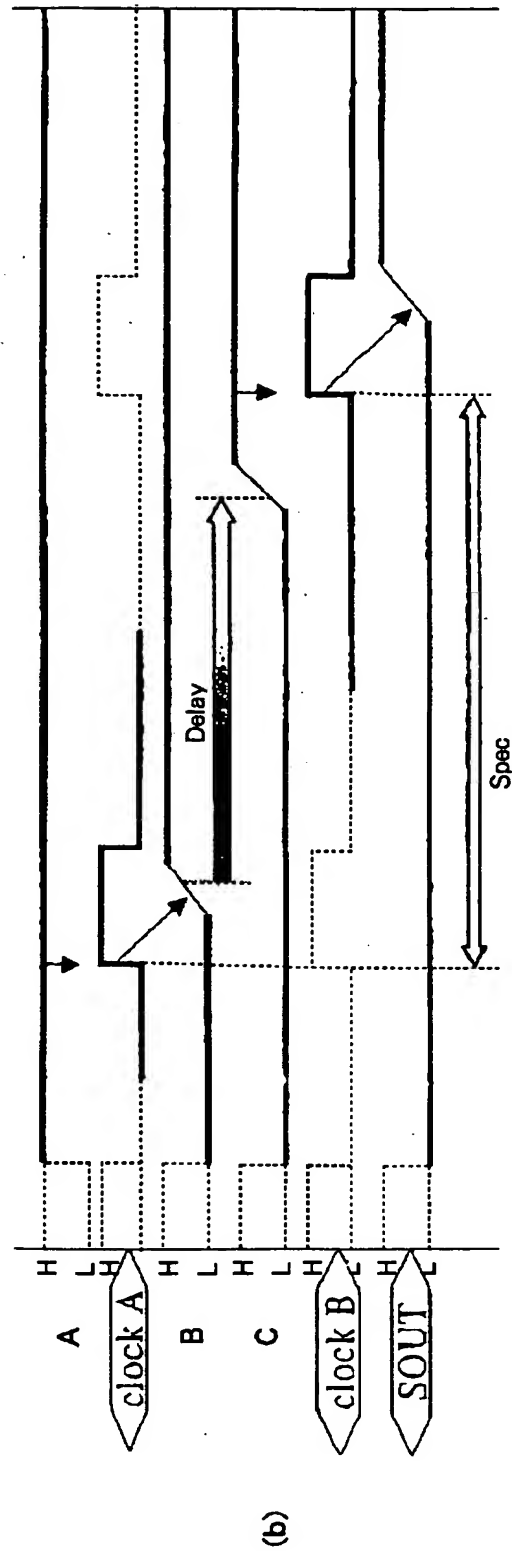
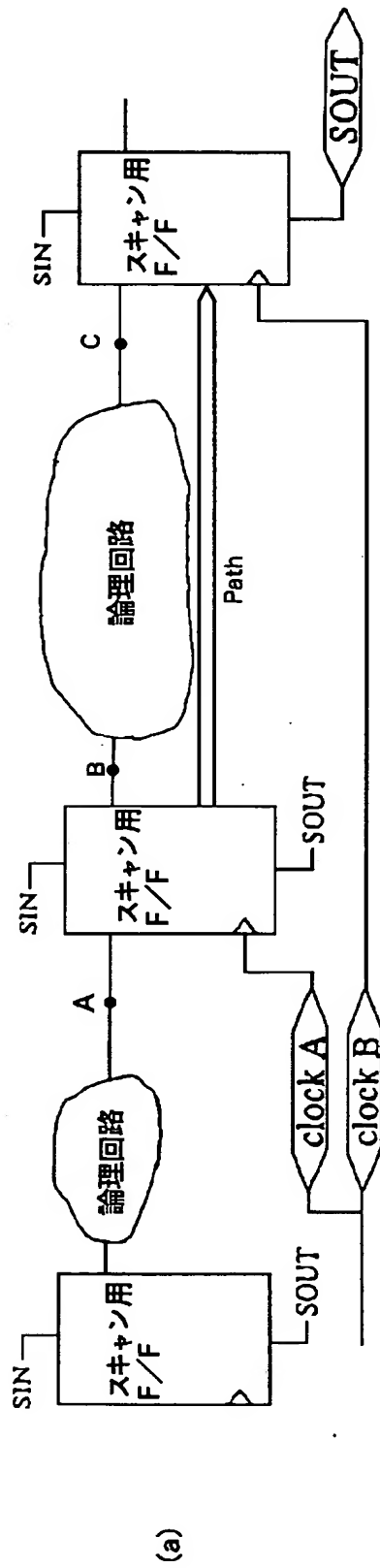
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 スキャンパス用のテスト回路を利用したディレイテストを安価に実施することが可能な半導体集積回路装置及びその試験装置を提供する。

【解決手段】 被試験対象の半導体集積回路装置が着脱可能に搭載されるテストボードと、ディレイテスト用のテストクロックから、テストクロックの周期と等しいパルス間隔の2つのパルスを生成し、スキャンパステスト回路に供給する2パルス発生器とを有する構成とする。また、テストクロックの周波数を所定数倍し、2パルス発生器に供給するPLL回路をさらに有する構成とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社